

Sumator i subtraktor pełny

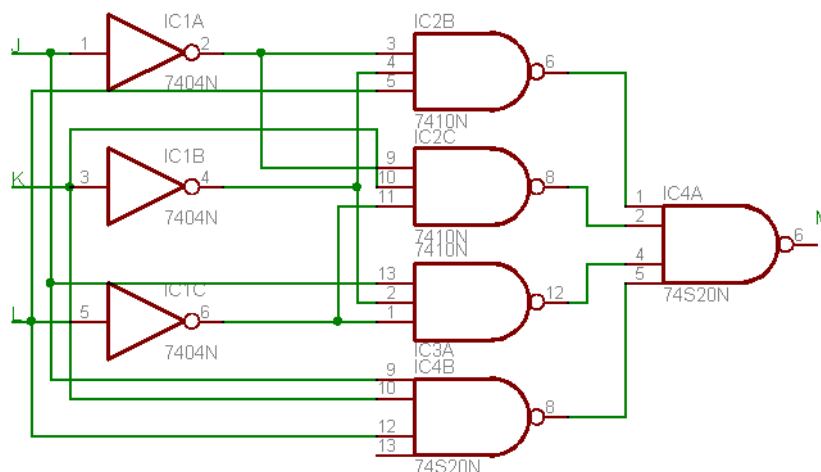
Pełne układy sumy i różnicy są blokami operującymi na danych trzybitowych. Mogą być one realizowane na różne sposoby. Mimo, że w zasadzie wyrażenia na sumę nie mogą być redukowane przy użyciu algebry Boolea to mogą być wyrażane na wiele sposobów. Jednym z nich jest użycie do tego celu bramek realizujących funkcję exclusive-OR i tak równanie na sumę przyjmuje postać $S=A\oplus B\oplus C_i$ a na różnicę $D=X\oplus Y\oplus B_i$. Przeniesienie i pożyczka mogą być redukowane przy użyciu tablic Karnaugh. Pełne układy sumy i różnicy mogą być zrealizowane przy użyciu odpowiednio dwóch niepełnych układów sumy i różnicy.

1. Układy sumy i różnicy zupełnej

$$S = X + Y + C_i \quad \text{suma}$$

$$D = X - Y - B_i \quad \text{różnica}$$

a. Układ sumy i różnicy zbudowany z użyciem bramek NAND i inwerterów.

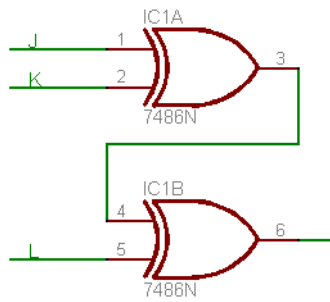


Rys. 6.1.

ZMIENNA	J	K	L	M
SUMA	X	Y	C_i	S
RÓŻNICA	X	Y	B_i	D
	0	0	0	
	0	0	+5V	
	0	+5V	0	
	0	+5V	+5V	
	+5V	0	0	
	+5V	0	+5V	
	+5V	+5V	0	
	+5V	+5V	+5V	

TABELA 6-1.

b. Układ sumy i różnicy zbudowany z użyciem bramek exclusive-OR.

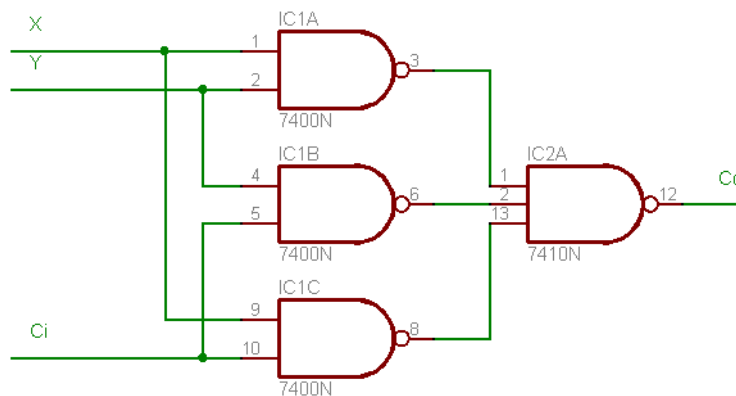


Rys. 6.2.

ZMIENNA	J	K	L	M
SUMA	X	Y	C _I	S
RÓŻNICA	X	Y	B _I	D
	0	0	0	
	0	0	+5V	
	0	+5V	0	
	0	+5V	+5V	
	+5V	0	0	
	+5V	0	+5V	
	+5V	+5V	0	
	+5V	+5V	+5V	

TABELA 6-2.

2. C₀ dla sumatora pełnego.

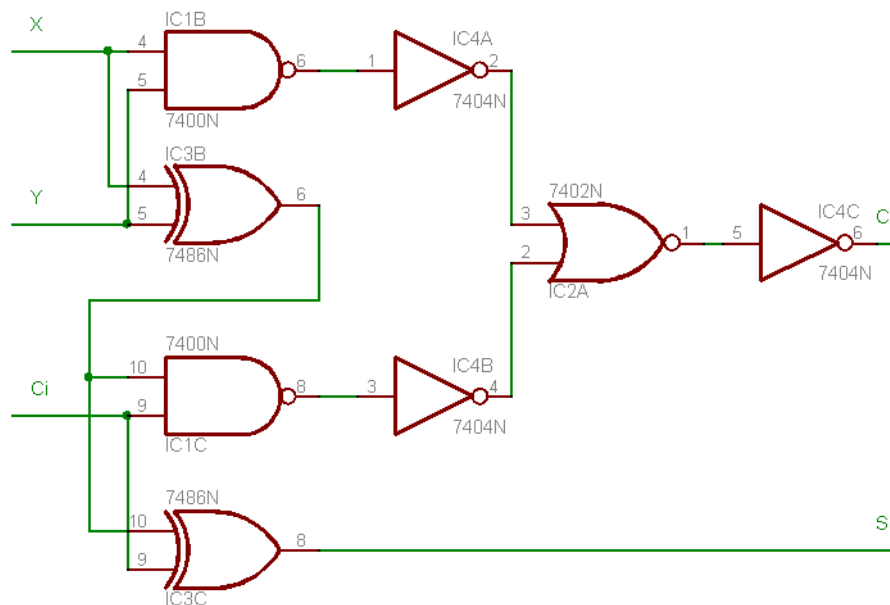


Rys. 6.3

X	Y	C _i	C _o
0	0	0	
0	0	+5V	
0	+5V	0	
0	+5V	+5V	
+5V	0	0	
+5V	0	+5V	
+5V	+5V	0	
+5V	+5V	+5V	

TABELA 6-3.

3. Sumator pełny zbudowany z dwóch półsumatorów $X+Y+C_i$.

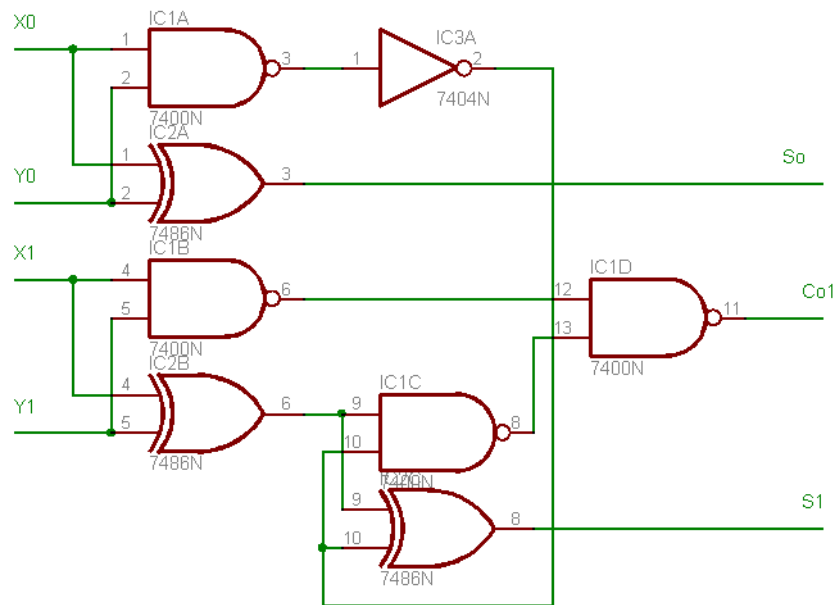


Rys. 6.4.

X	Y	C _i	S	C _o
0	0	0		
0	0	+5V		
0	+5V	0		
0	+5V	+5V		
+5V	0	0		
+5V	0	+5V		
0	+5V	0		
+5V	+5V	+5V		

TABELA 6-4.

4. Dwu bitowy sumator równoległy.



Rys. 6.5.

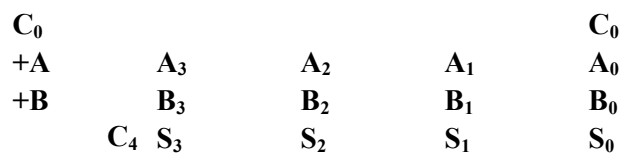
Dane eksperymentalne							Notacja binarna			
X_1	X_0	Y_1	Y_0	C_{01}	S_1	S_0	X_1X_0	Y_1Y_0	$X_1X_0 + Y_1Y_0$	$C_{01}S_1S_0$
									S_C	S_E
0	0	0	0							
+5V	+5V	+5V	+5V							
+5V	0	+5V	+5V							
0	+5V	+5V	0							

TABELA 6-5.

	X_1	X_0	Y_1	Y_0	C_{01}	S_1	S_0
a	0	0	0	+5V			
b	0	+5V	0	+5V			
c	0	+5V	+5V	+5V			
d	+5V	0	+5V	0			
e	+5V	0	+5V	+5V			

TABELA 6-6.

5. Czterobitowy zupełny sumator i układ różnicy.

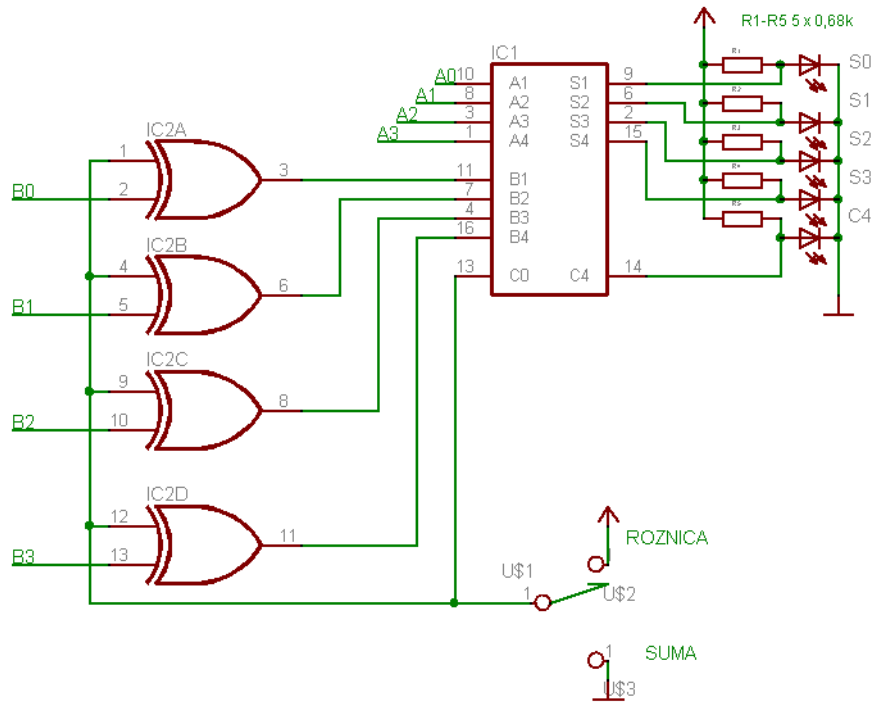




C_0 przeniesienie z pozycji poprzedniej (mniej znaczącej)

C_4 przeniesienie do pozycji następnej (bardziej znaczącej)

Rys. 6.6.



Rys. 6.7.

Wynik sumowania lub odejmowania można przedstawić w postaci graficznej przy pomocy diod LED.

Przed podłączeniem układu sprawdź czy rezystory „podciągające” są podłączone do +5V. i czy kierunek włączeni diod jest prawidłowy. Prezentuje to rysunek 6.6.

Przełącznik podłączony do masy

	Zapis binarny										Dziesiętnie $A+B=S$				
	A				B				C ₀			suma			
	A ₃	A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	C ₀	C ₄	S ₃	S ₂	S ₁	S ₀	
1	1	0	1	0	0	1	0	1	0						
2	1	0	1	0	0	0	1	1	0						
3	1	1	1	1	0	1	1	0	0						
4	1	1	1	1	1	1	1	1	0						

TABELA 6-7.

Przełącznik podłączony do +5V

	Zapis binarny										Dziesiętnie			
	A				B				=	różnica				A+B =S
	A ₃	A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	C ₄	S ₃	S ₂	S ₁	S ₀	
1	1	0	1	0	0	1	0	1						
2	1	0	1	0	0	0	1	1						
3	1	1	1	1	0	1	1	0						
4	1	1	1	1	1	1	1	1						
5	0	1	0	1	1	0	1	0						

TABELA 6-8.

opracowanie.

- Porównaj wyniki otrzymane w części 1, 2, i 3 z tabelą prawdy dla sumatora zupełnego. Przeanalizuj te dane. Wyjaśnij zasadę działania układów:
 - Z części 1 i 2
 - Z części 3.
- Czy czynnik C_0 z części 2 dla układu sumator zupełnego daje dobre wyniki? Używając algebry Boolea udowodnij, że układ z rysunku 6.3. realizuje funkcję $C_0 = XYC_1 + X^{\bar{}}Y^{\bar{}}C_1 + XYC_1 + XY^{\bar{}}C_1$ (urzyj tablicy Karnaugh).
- Wyrażenie Boolea dla pożyczki B_0 dla układu różnicy zupełnej dane jest równaniem $B_0 = X^{\bar{}}YB_1 + X^{\bar{}}Y^{\bar{}}B_1 + XYB_1 + X^{\bar{}}YB_1$. Wykaż przy użyciu tablic Karnaugh, że można je zredukować do $X^{\bar{}}Y + YB_1 + X^{\bar{}}B_1$. Używając bramek 7400 i 7410 narysuj schemat układu realizujący tę funkcję.
- Dla stanów wejściowych z części 4b. oblicz sumy S_c . sprawdź czy wyniki otrzymane w eksperymencie są im równe.
- wyjaśnij na jakiej zasadzie odbywa się przełączanie funkcji sumowania i odejmowania w układzie z rysunku 6.7.